

INEL4205 - Algunos problemas extras

1. Diseñe un contador binario de 3 bits usando *flip-flops* tipo T, multiplexers y un numero minimo de compuertas AND, OR y NOT. El circuito debe efectuar las siguientes operaciones:

s_2s_1	Operación
00	contar de forma ascendente
01	contar de forma descendente
10	desplazar la cuenta hacia la derecha
11	complementar la cuenta

La cuenta debe mostrarse en $Q_AQ_BQ_C$. Note que el bit de selección s_0 esta disponible para ser usado como parte del diseño. Utilice el siguiente diagrama esquemático para mostrar el circuito final.

Respuesta: Para usar un numero mínimo de compuertas podemos conectar Q_A a s_0 , y usar circuitos con compuertas en las entradas *multiplexers*, como sigue: 0, 1 para la cuenta ascendente, y en las entradas 2 y 3 para la cuenta descendente. La tabla de estados correspondiente a la cuenta ascendente es:

$Q_AQ_BQ_C$ actual	$Q_AQ_BQ_C$ próximo	$T_AT_BT_C$
000	001	001
001	010	011
010	011	001
011	100	111
100	101	001
101	110	011
110	111	001
111	000	111

de donde podemos deducir que, tanto cuando $Q_A = 0$ como cuando $Q_A = 1$,

$$T_A = Q_BQ_C \quad T_B = Q_C \quad T_C = 1$$

Estas señales deben conectarse a las entradas 0 y 1 del *multiplexer* correspondiente.

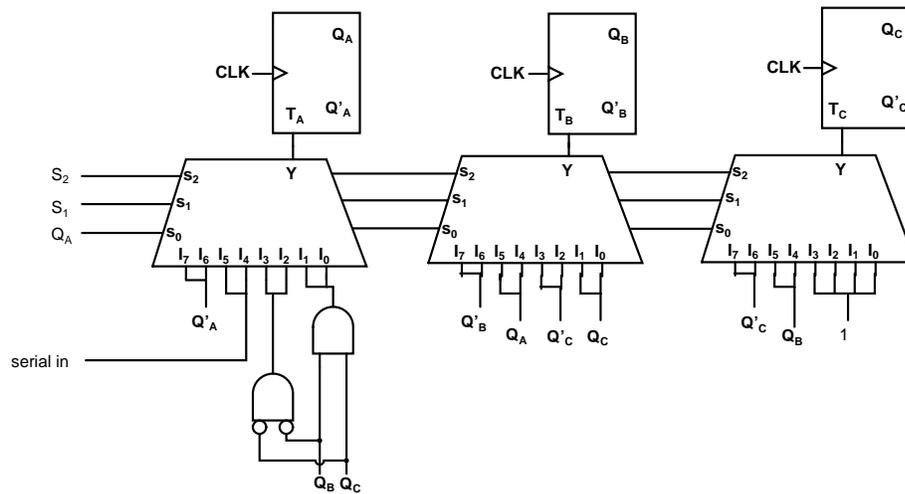
Para la cuenta descendente,

$Q_AQ_BQ_C$ actual	$Q_AQ_BQ_C$ próximo	$T_AT_BT_C$
000	111	111
001	000	001
010	001	011
011	010	001
100	011	111
101	100	001
110	101	011
111	110	001

Puede observarse que nuevamente tanto cuando $Q_A = 0$ como cuando $Q_A = 1$,

$$T_A = Q'_BQ'_C \quad T_B = Q'_C \quad T_C = 1$$

Estas señales deben conectarse a las entradas 2 y 3 del *multiplexer* correspondiente.



Puede verse que el circuito podría implementarse de modo más económico usando *multiplexers* 4×1 .

2. Ejercicio extra: repita el problema anterior para las siguientes operaciones:

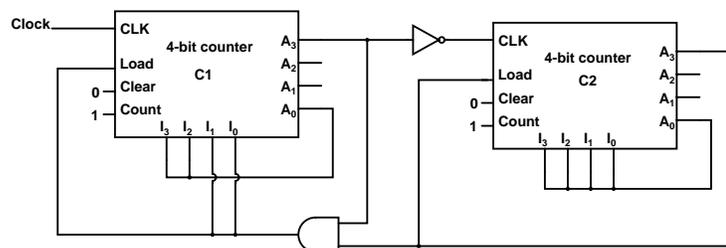
$s_2 s_1$	Operación
00	contar de 0 a 9 (BCD)
01	contar de 9 a 0 (BCD de forma descendente)
10	contar de 2 a 9
11	contar repetidamente según la siguiente secuencia: 0,1,3,4,6,7

El siguiente estado para estados no usados debe ser 0.

3. El siguiente esquemático representa un contador de 8 bits, compuesto de dos módulos con contadores de 4 bits. El módulo *C1* contiene los 4 bits menos significativos.

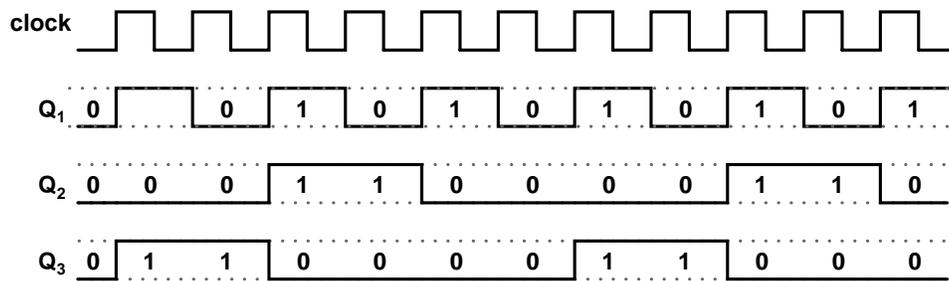
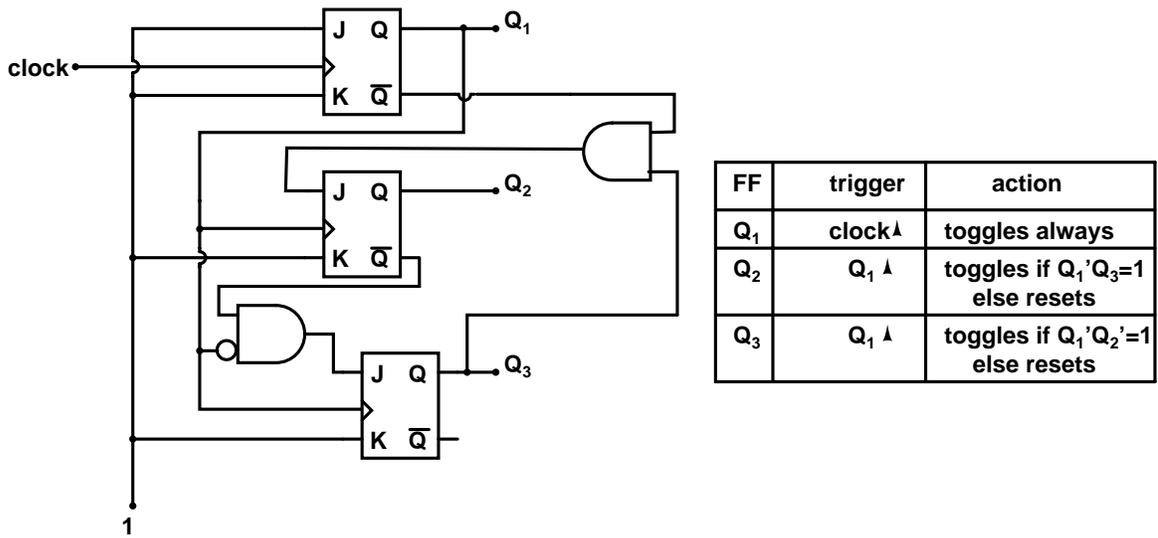
Cada módulo tiene entradas *Load* y *Clear*. Cuando se aplica un 1-lógico a la entrada *Load*, las señales presentes en las entradas $I_3 I_2 I_1 I_0$ son almacenadas en la cuenta actual del módulo. Si se aplica un 1-lógico a la entrada *Clear*, la cuenta del módulo se vuelve 0000. La entrada *Count* habilita el funcionamiento del módulo: cuando *Count* = 1 el módulo incrementa su cuenta cuando el borde ascendente de *CLK* es recibido, mientras que cuando *Count* = 0 la cuenta no cambia. La cuenta de cada módulo aparece en las salidas $A_3 A_2 A_1 A_0$.

Determine el rango de cuentas que el contador de 8 bits mostrará una vez entre en su ciclo normal de operación. Explique por qué piensa que ese es el rango. Su respuesta debe especificar las cuentas mínima y máxima.



Respuesta: *C2* incrementa su cuenta cada vez que el bit A_3 de *C1* cambia de 1 a 0. La señal *LOAD* de *C1* se vuelve activa (1) cuando ambos *C2* y *C1* alcanzan la cuenta 1000. Cuando esto ocurre *C1* carga la cuenta 0011 en la próxima transición de la señal *clock* de 0 a 1, causando una transición de 1 a 0 en el bit A_3 de *C1*. El *LOAD* de *C2* es registrado en ese momento, pues su entrada *CLK* va de 0 a 1, causando que la cuenta 0000 sea almacenada en *C2*. Así que una vez el circuito entra en su ciclo normal de operación, opera entre 00000011 (03 en hexadecimal) y 10001000 (88 en hexadecimal). Los 4 bits de *C1* son los menos significativos.

4. Analice el siguiente circuito para completar el diagrama de *timing* incluido abajo, que muestra como varían Q_3 , Q_2 y Q_1 a través del tiempo. Note que se asume que las tres señales son inicialmente 0. Explique la función del circuito.



Cuenta de 5 a 0 repetidamente.

5. Dibuje el diagrama de *timing* para el circuito del problema anterior, pero usando *negative-edge triggered flip-flops*. Puede que el circuito resultante no efectúe ninguna función identificable.