

# PRUEBA 6

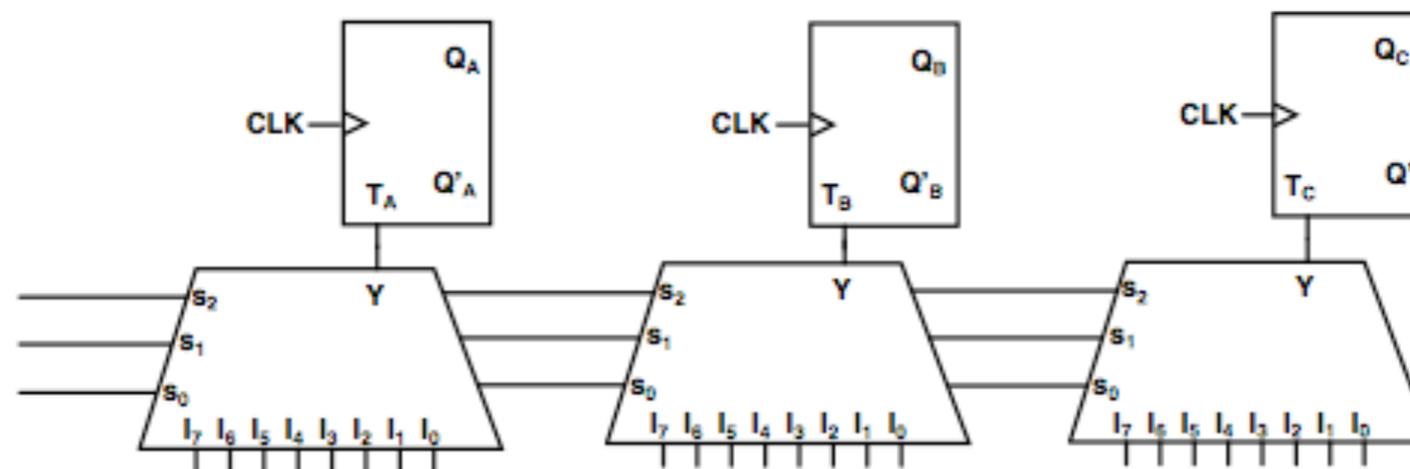
PROBLEMAS DE PRACTICA ADICIONALES

INEL 4205 - Abril 2012

1. (20 puntos) Diseñe un contador binario de 3 bits usando *flip-flops* tipo T, multiplexers y un número mínimo de compuertas AND, OR y NOT. El circuito debe efectuar las siguientes operaciones:

$s_2s_1$	Operación
00	contar de forma ascendente
01	contar de forma descendente
10	desplazar la cuenta hacia la derecha
11	complementar la cuenta

La cuenta debe mostrarse en  $Q_AQ_BQ_C$ . Note que el bit de selección  $s_0$  está disponible para ser usado como parte del diseño. Utilice el siguiente diagrama esquemático para mostrar el circuito final.



Respuesta: Para usar un número mínimo de compuertas podemos conectar  $Q_A$  a  $s_0$ , y usar circuitos con compuertas en las entradas *multiplexers*, como sigue: 0, 1 para la cuenta ascendente, y en las entradas 2 y 3 para la cuenta descendente. La tabla de estados correspondiente a la cuenta ascendente es:

$Q_A Q_B Q_C$ actual	$Q_A Q_B Q_C$ próximo	$T_A T_B T_C$
000	001	001
001	010	011
010	011	001
011	100	111
100	101	001
101	110	011
110	111	001
111	000	111

de donde podemos deducir que, tanto cuando  $Q_A = 0$  como cuando  $Q_A = 1$ ,

$$T_A = Q_B Q_C \quad T_B = Q_C \quad T_C = 1$$

Para la cuenta descendente,

$Q_A Q_B Q_C$ actual	$Q_A Q_B Q_C$ próximo	$T_A T_B T_C$
000	111	111
001	000	001
010	001	011
011	010	001
100	011	111
101	100	001
110	101	011
111	110	001

Puede observarse que nuevamente tanto cuando  $Q_A = 0$  como cuando  $Q_A = 1$ ,

$$T_A = Q'_B Q'_C \quad T_B = Q'_C \quad T_C = 1$$

Estas señales deben conectarse a las entradas 2 y 3 del *multiplexer* correspondiente.

Desplazamiento hacia la derecha:

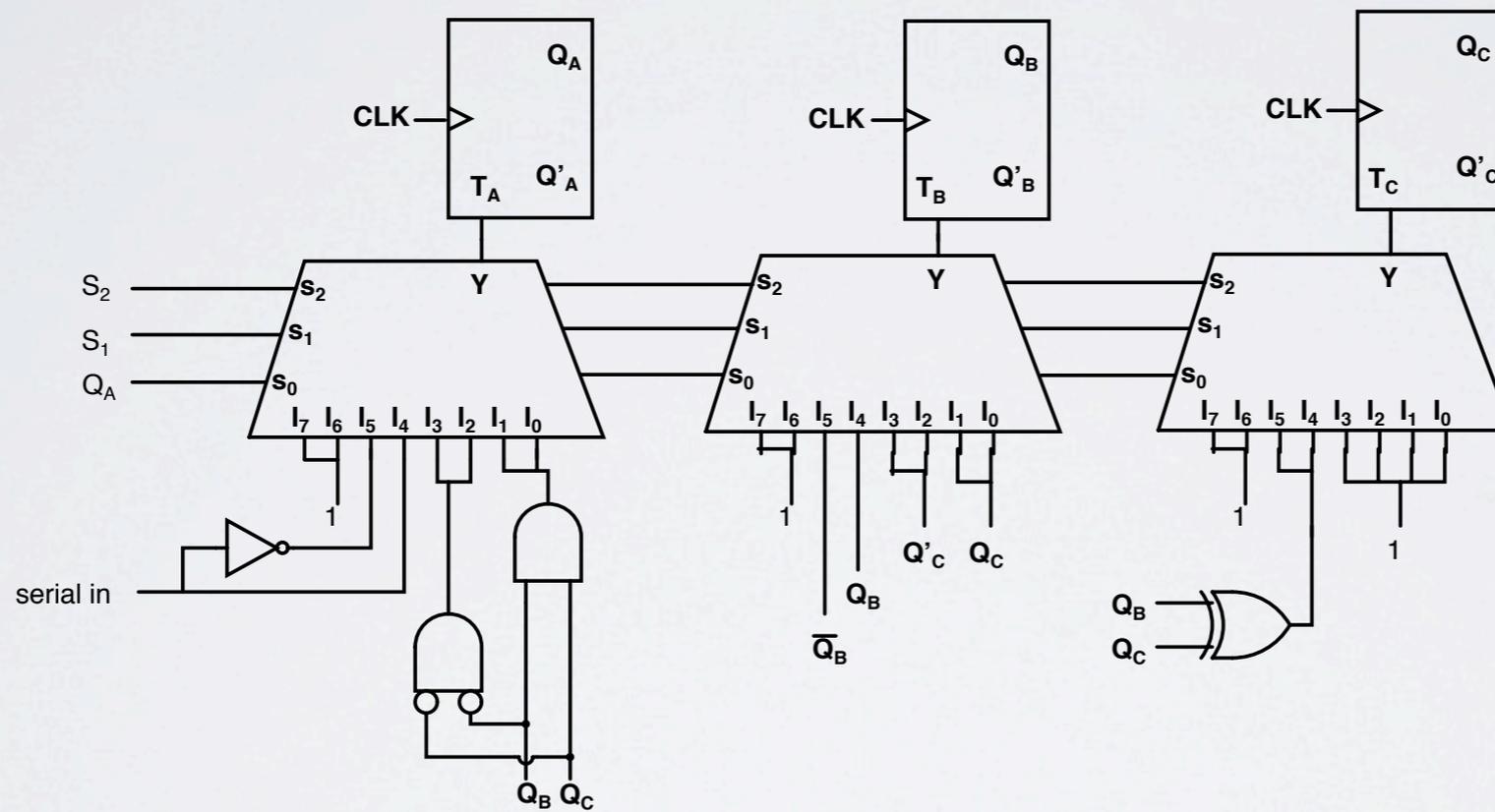
x = 0			x = 1		
Presente $Q_A Q_B Q_C$	Próximo $Q_A Q_B Q_C$	$T_A T_B T_C$	Presente $Q_A Q_B Q_C$	Próximo $Q_A Q_B Q_C$	$T_A T_B T_C$
000	000	000	000	100	100
001	000	001	001	100	101
010	001	011	010	101	111
011	001	010	011	101	110
100	010	110	100	110	010
101	010	111	101	110	011
110	011	101	110	111	001
111	011	100	111	111	000

Use mapa-K para obtener las siguientes expresiones:

$$T_A = xQ_A' + x'Q_A \quad T_B = Q_A Q_B' + Q_A' Q_B \quad T_C = Q_B Q_C' + Q_B' Q_C$$

Cuando  $Q_A = 0: T_A = x, T_B = Q_B$  . Cuando  $Q_A = 1: T_A = x', T_B = Q_B'$  .  $T_C = Q_B Q_C' + Q_B' Q_C$  no importa el valor de  $Q_A$  .

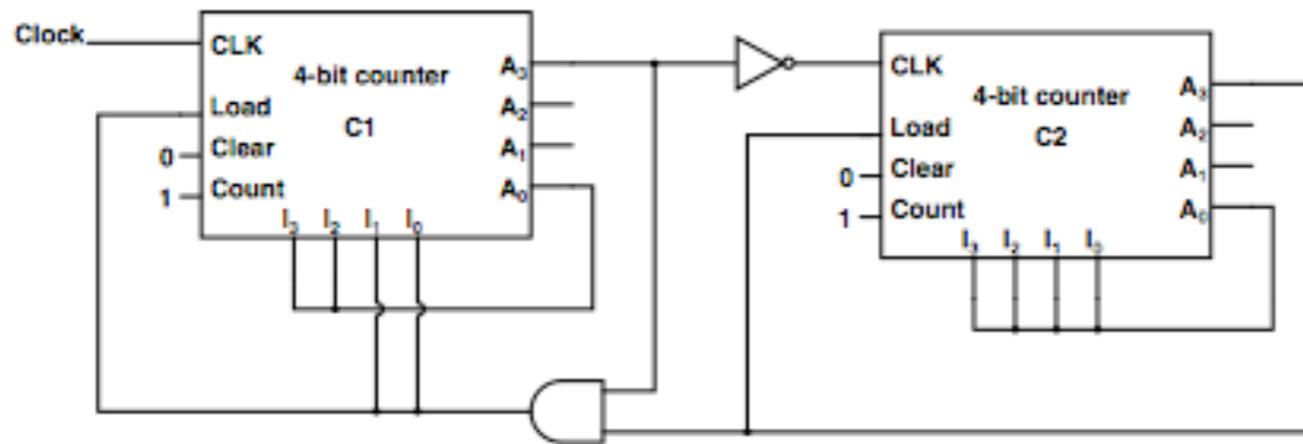
Para complementar la cuenta podemos usar  $T_{A,B,C}=1$



2. (10 puntos) El siguiente esquemático representa un contador de 8 bits, compuesto de dos módulos con contadores de 4 bits. El módulo *C1* contiene los 4 bits menos significativos.

Cada modulo tiene entradas *Load* y *Clear*. Cuando se aplica un 1-lógico a la entrada *Load*, las señales presentes en las entradas  $I_3I_2I_1I_0$  son almacenadas en la cuenta actual del modulo. Si se aplica un 1-lógico a la entrada *Clear*, la cuenta del modulo se vuelve 0000. La entrada *Count* habilita el funcionamiento del modulo: cuando *Count* = 1 el modulo incrementa su cuenta cuando el borde ascendente de *CLK* es recibido, mientras que cuando *Count* = 0 la cuenta no cambia. La cuenta de cada modulo aparece en las salidas  $A_3A_2A_1A_0$ .

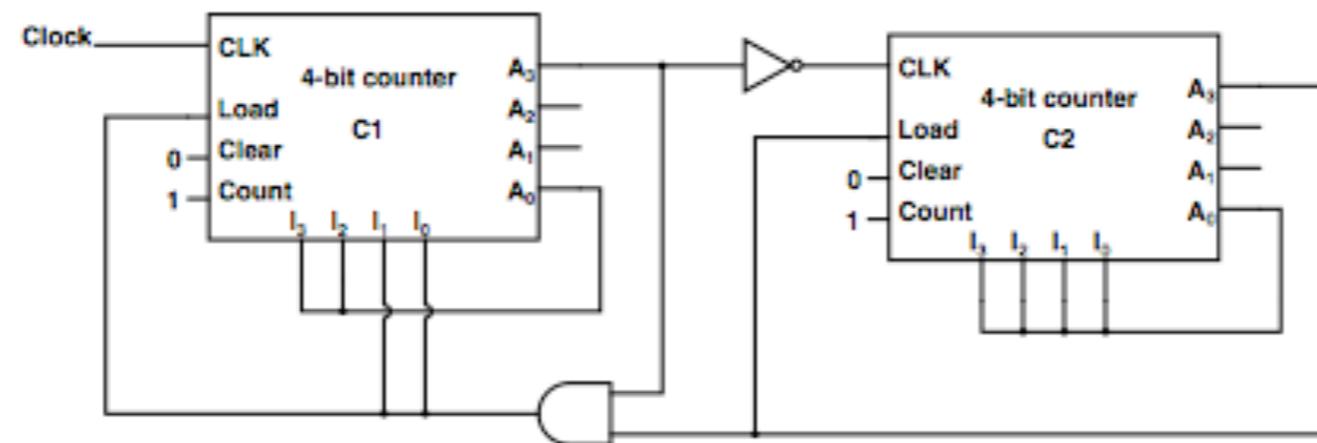
Determine el rango de cuentas que el contador de 8 bits mostrará una vez entre en su ciclo normal de operación. Explique por que piensa que ese es el rango. Su respuesta deba especificar las cuentas mínima y máxima.



2. (10 puntos) El siguiente esquemático representa un contador de 8 bits, compuesto de dos módulos con contadores de 4 bits. El módulo  $C1$  contiene los 4 bits menos significativos.

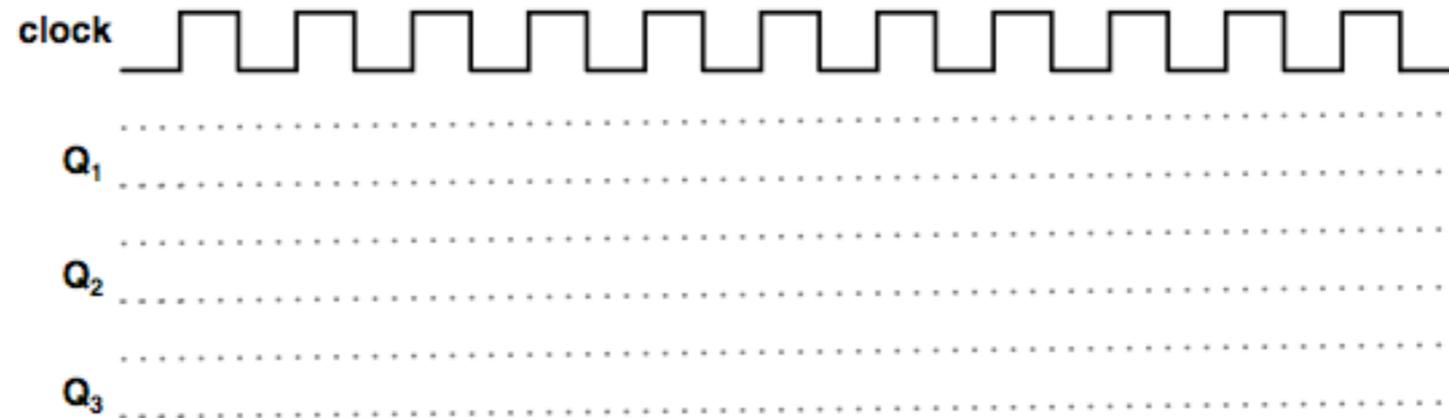
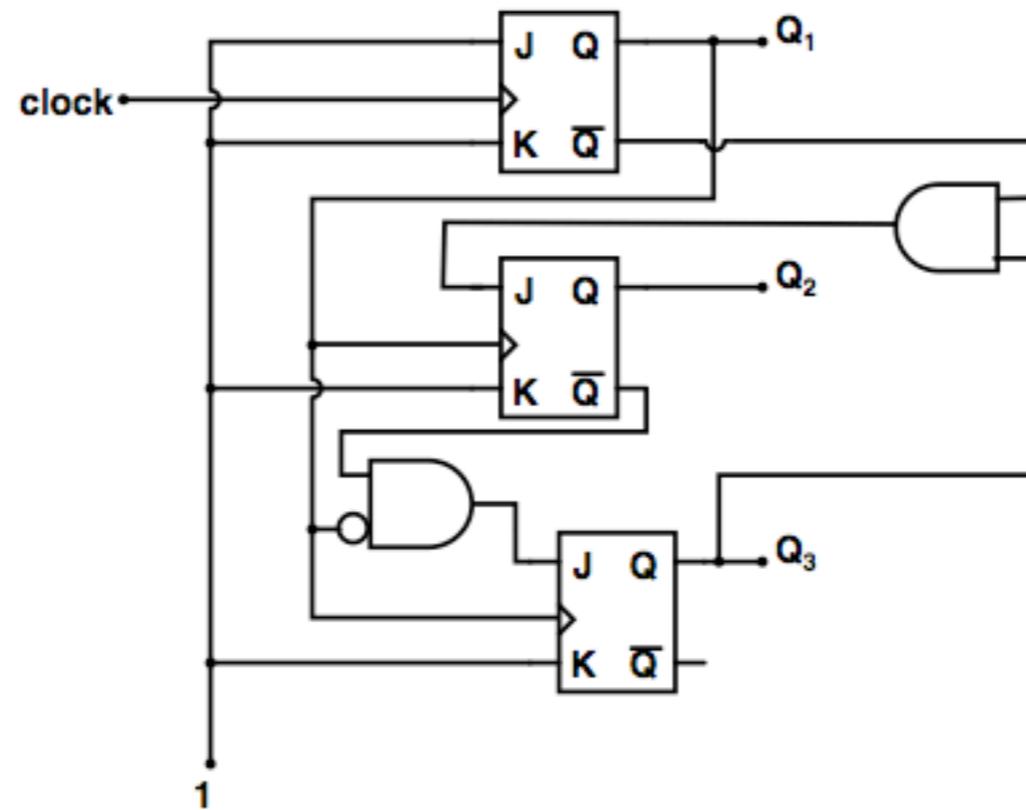
Cada modulo tiene entradas  $Load$  y  $Clear$ . Cuando se aplica un 1-lógico a la entrada  $Load$ , las señales presentes en las entradas  $I_3I_2I_1I_0$  son almacenadas en la cuenta actual del modulo. Si se aplica un 1-lógico a la entrada  $Clear$ , la cuenta del modulo se vuelve 0000. La entrada  $Count$  habilita el funcionamiento del modulo: cuando  $Count = 1$  el modulo incrementa su cuenta cuando el borde ascendente de  $CLK$  es recibido, mientras que cuando  $Count = 0$  la cuenta no cambia. La cuenta de cada modulo aparece en las salidas  $A_3A_2A_1A_0$ .

Determine el rango de cuentas que el contador de 8 bits mostrará una vez entre en su ciclo normal de operación. Explique por que piensa que ese es el rango. Su respuesta deba especificar las cuentas mínima y máxima.



Respuesta:  $C2$  incrementa su cuenta cada vez que el bit  $A_3$  de  $C1$  cambia de 1 a 0. La señal  $LOAD$  de  $C1$  se vuelve activa (1) cuando ambos  $C2$  y  $C1$  alcanzan la cuenta 1000. Cuando esto ocurre  $C1$  carga la cuenta 0011 en la próxima transición de la señal  $clock$  de 0 a 1, causando una transición de 1 a 0 en el bit  $A_3$  de  $C1$ . El  $LOAD$  de  $C2$  es registrado en ese momento, pues su entrada  $CLK$  va de 0 a 1, causando que la cuenta 0000 sea almacenada en  $C2$ . Así que una vez el circuito entra en su ciclo normal de operación, opera entre 00000011 (03 en hexadecimal) y 10001000 (88 en hexadecimal). Los 4 bits de  $C1$  son los menos significativos.

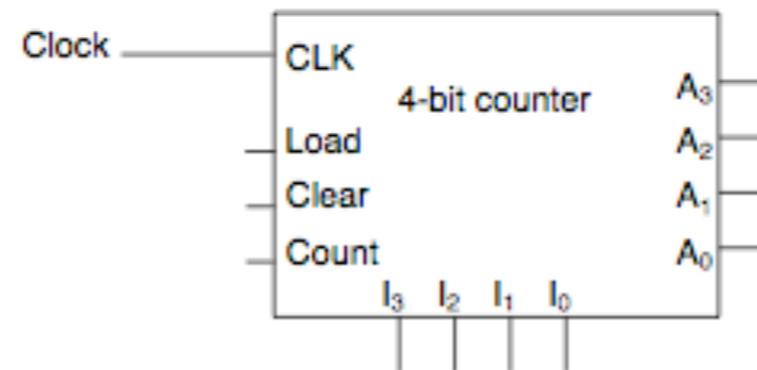
4. (15 puntos) Analice el siguiente circuito para completar el diagrama de *timing* incluido abajo, que muestra como varían  $Q_3$ ,  $Q_2$  y  $Q_1$  a través del tiempo. Note que se asume que las tres señales son inicialmente 0. Explique la función del circuito.





1. (10 puntos) El siguiente esquemático representa un contador de 4 bits con *Load* en paralelo y entrada *Clear*. Cuando se aplica un 1-lógico a la entrada *Load*, las señales presentes en las entradas  $I_3I_2I_1I_0$  son almacenadas en la cuenta actual del contador. Si se aplica un 1-lógico a la entrada *Clear*, la cuenta se vuelve 0000. La entrada *Count* habilita el funcionamiento del contador: cuando  $Count = 1$  el aparato cuenta, mientras que cuando  $Count = 0$  la cuenta no cambia. La cuenta del aparato aparece en las salidas  $A_3A_2A_1A_0$ .

Muestre como construir un contador que cuente de 0 (0000 en binario) a 13 (1101 en binario) utilizando el modulo y una compuerta AND del tamaño mas pequeño posible.

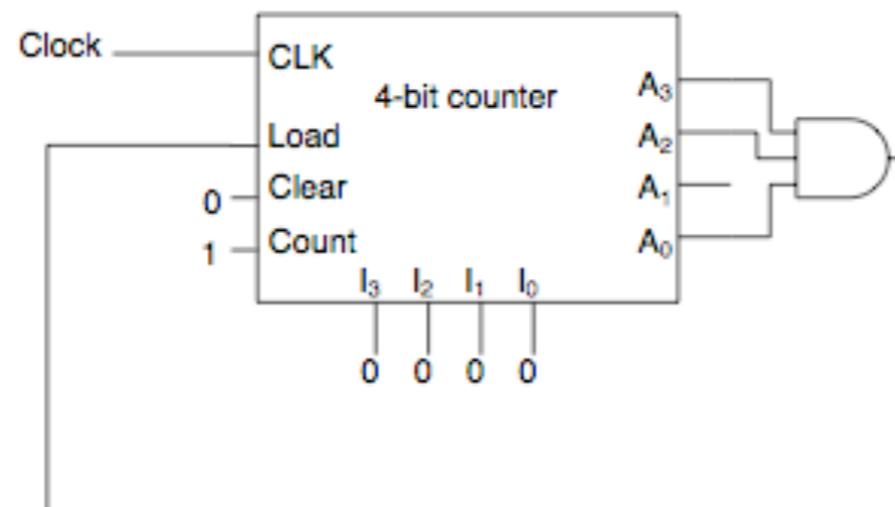


1. (10 puntos) El siguiente esquemático representa un contador de 4 bits con *Load* en paralelo y entrada *Clear*. Cuando se aplica un 1-lógico a la entrada *Load*, las señales presentes en las entradas  $I_3I_2I_1I_0$  son almacenadas en la cuenta actual del contador. Si se aplica un 1-lógico a la entrada *Clear*, la cuenta se vuelve 0000. La entrada *Count* habilita el funcionamiento del contador: cuando  $Count = 1$  el aparato cuenta, mientras que  $Count = 0$  la cuenta no cambia.

La cuenta del aparato aparece en las salidas  $A_3A_2A_1A_0$ .

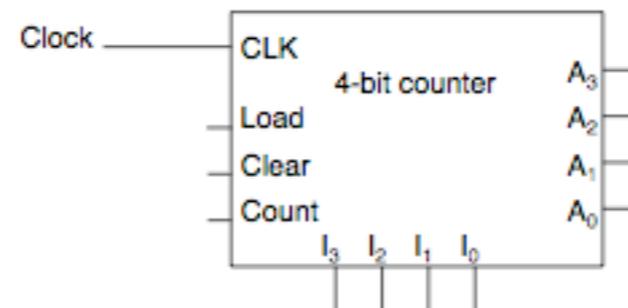
Muestre como construir un contador que cuente de 0 (0000 en binario) a 13 (1101 en binario) utilizando el modulo y una compuerta AND del tamaño mas pequeño posible.

Respuesta:



También puede detectarse la cuenta 14 y usar el *Clear* en lugar del *Load*.

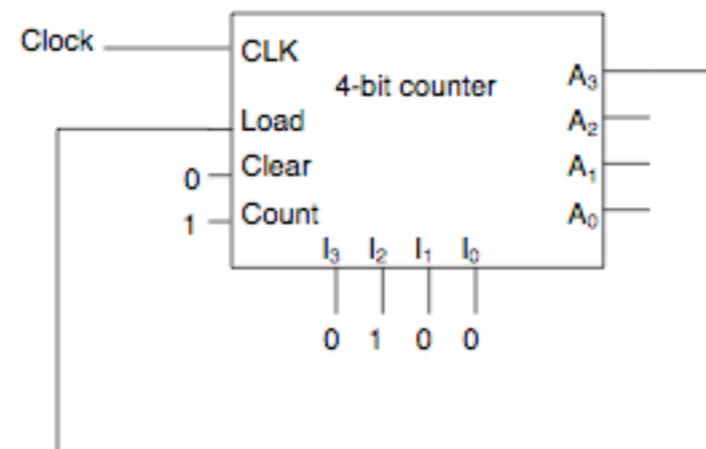
2. (10 puntos) Muestre como construir un circuito que, una vez entre en su ciclo normal de operación, divida la frecuencia del reloj por cinco usando el siguiente modulo solamente. En otras palabras, se desea obtener una señal cuya frecuencia  $f_{out} = f_{clock} \div 5$  donde  $f_{clock}$  representa la frecuencia de la señal del reloj, aplicada a la entrada *clock*. El funcionamiento del modulo esta descrito en el problema 1. Explique su respuesta.



2. (10 puntos) Muestre como construir un circuito que, una vez entre en su ciclo normal de operación, divida la frecuencia del reloj por cinco usando el siguiente modulo solamente. En otras palabras, se desea obtener una señal cuya frecuencia  $f_{out} = f_{clock} \div 5$  donde  $f_{clock}$  representa la frecuencia de la señal del reloj, aplicada a la entrada *clock*. El funcionamiento del modulo esta descrito en el problema 1. Explique su respuesta.

Respuesta:

Cualquier contador con cinco cuentas (una secuencia de cinco números consecutivos) producirá un patrón en la salida con frecuencia igual a un quinto de la del reloj. Si se utiliza la secuencia de 4 a 8 (secuencia con números 4,5,6,7 y 8), el circuito puede implementarse sin compuertas externas pues  $A_3$  se puede conectar a la entrada *Load*, como muestra el siguiente diagrama.



La frecuencia de la salida  $A_3$  es  $f_{clock} \div 5$ .